

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270615

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H01L 21/331
H01L 29/737

(21)Application number : 2002-049395

(71)Applicant : AGILENT TECHNOL INC

(22)Date of filing : 26.02.2002

(72)Inventor : MOLL NICOLAS J
HOUNG YU-MIN

(30)Priority

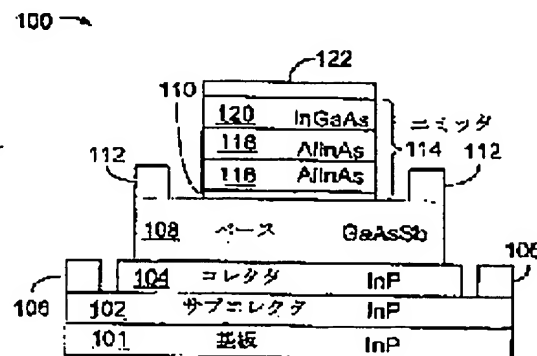
Priority number : 2001 796180 Priority date : 27.02.2001 Priority country : US

(54) HETEROJUNCTION BIPOLAR TRANSISTOR HAVING IMPROVED EMITTER-BASE JUNCTION, AND METHOD FOR MANUFACTURING THE TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an HBT where the problem regarding low current gain can be solved, while material which is easy to manufacture is selected, and to provide a method for manufacturing the HBT.

SOLUTION: This heterojunction bipolar transistor(HBT) (100) contains a collector (104), a base (108) positioned on the collector (104), and an emitter (114) positioned on the base (108). The emitter (114) contains an intermediate layer (110) which is in contact with the base (108), the intermediate layer (110) practically has electrical permeability with respect to the base (108) and the emitter (114), and lattice constants of the intermediate layer (110) match with those of the base (108) and the emitter (114).



LEGAL STATUS

[Date of request for examination] 22.02.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-270615

(P 2002-270615A)

(43) 公開日 平成14年9月20日(2002. 9. 20)

(51) Int. Cl.⁷

識別記号

F I

テマコード(参考)

H 0 1 L 21/331

H 0 1 L 29/72

H 5F003

29/737

審査請求 未請求 請求項の数 10 O L

(全 9 頁)

(21) 出願番号 特願2002-49395 (P2002-49395)

(22) 出願日 平成14年2月26日(2002. 2. 26)

(31) 優先権主張番号 796180

(32) 優先日 平成13年2月27日(2001. 2. 27)

(33) 優先権主張国 米国 (U S)

(71) 出願人 399117121

アジレント・テクノロジーズ・インク

A G I L E N T T E C H N O L O G I E
S, I N C.アメリカ合衆国カリフォルニア州パロアル
ト ページ・ミル・ロード 395

(72) 発明者 ニコラス・ジェイ・モール

アメリカ合衆国カリフォルニア州ラ・ホン
ダ ボックス408 スタールート2

(74) 代理人 100105913

弁理士 加藤 公久

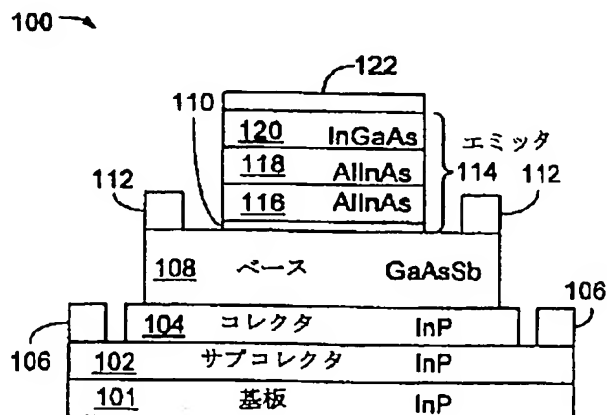
最終頁に続く

(54) 【発明の名称】 改良型エミッターベース接合を持つヘテロ接合バイポーラトランジスタ及びその製造方法

(57) 【要約】

【課題】低電流利得に係る問題を、製造容易な材料を選択しつつ解決することのできるHBT及びその製造方法を提供すること。

【解決手段】本発明は、コレクタ(104)と、コレクタ(104)上に位置するベース(108)と、そしてベース(108)上に位置するエミッタ(114)とを含むヘテロ接合バイポーラトランジスタ(HBT)(100)であって、エミッタ(114)がベース(108)に接触する中間層(110)を含み、中間層(110)がベース(108)及びエミッタ(114)に対して実質的に電気透過性であり、中間層(110)の格子定数がベース(108)及びエミッタ(114)の格子定数に一致していることを特徴とするヘテロ接合バイポーラトランジスタ(100)を提供する。



合 3 2) に大きい価電子帯不連続量 ΔE_v が作られる。これにより、小さな又は正のコレクタバイアスであってもコレクタ領域 26 への正孔の注入される量が最小とされる。広いバンドギャップの InP はコレクタ領域 26 全体にわたって伸びている為、電子雪崩降伏が最少化される。

【0005】InP には格子整合しているが、GaAsSb とは異なるベース層を持つ他の HBT の場合、これらの利点は提供されない。例えば、同じ構造で InGaAs ベースとした場合、金属級ベースにおける大きな価電子帯不連続量 ΔE_v と、広バンドギャップ InP の利点は提供されるものの、電子収集を阻む障壁が生じ、これによりベース中に好ましくない電荷の蓄積が起きる可能性がある。これは装置の周波数応答及び最高電流値を損なってしまう。この障壁を排除するにしても、その為の方法はいずれも金属級コレクターベース接合の大きな価電子帯不連続量 ΔE_v と広バンドギャップ InP の利点を犠牲にするものである。

【0006】更に、GaAsSb ベースと InP エミッタ (図 1) を持つ HBT であっても、タイプ II のバンド構造に起因した 2 つの欠点がある。これら 2 つの欠点は、“q” を電荷、“ ΔE_c ” を伝導帯不連続性、“k” をボルツマン定数、“T” を絶対接合温度とした場合に $\exp(-q\Delta E_c/kT)$ であるヘテロ接合における電子密度の不連続性に関係している。 ΔE_c は約 0.18 ± 0.1 eV である為、不連続部にわたる電子密度の比率は室温で $2 \times 10^{-5} \sim 5 \times 10^{-2}$ である。

【0007】第一の欠点は、低い電流利得である。限界注入レベルを下回る場合、金属級接合 (エミッターベース接合 28) における界面再結合はエミッタ側接合部の電子密度と界面準位特性に左右される。

【0008】界面電流密度 $j_{interface}$ は、界面エミッタ側の電子密度を $n_{emitter}$ 、界面再結合速度を $v_{interface}$ とした場合、 $j_{interface} = qn_{emitter}v_{interface}$ で表される。界面再結合速度 $v_{interface}$ は、界面準位による電子捕獲が生じる断面積を σ_n 、電子の熱運動速度を $v_{thermal}$ 、単位面積あたりの電子捕獲準位密度を N_{traps} 、界面における空間的な間接放射再結合の比例関係を説明する定数を K_{s-rad} 、そして界面ベース側の正孔密度を P_{base} とした場合、 $v_{interface} = \sigma_n v_{thermal} N_{traps} + K_{s-rad} P_{base}$ で表される。

従って、全体の界面再結合速度は、電子捕獲準位を通過する再結合及び空間的な間接放射再結合によるのである。実際に形成し得る材料界面は電氣的に完全とは言えない。例えば、エネルギーギャップ中に空間的局在化状態を作り出す要因となる不純物又は欠陥が界面中に存在

することもある。これらの空間的局在化状態の中へと到達した電子又は正孔は移動することが出来ず (伝導帯又は価電子帯中の電子又は正孔は移動可能)、また、これらの空間的局在化状態は価電子帯及び伝導帯の間のポテンシャルエネルギーを持っている。これらの空間的局在化状態は電子及び正孔を交互に捕獲し、これにより再結合経路を提供するのである。これは概念的にショットキー・リード・ホール再結合と似ている。空間的な間接再結合はタイプ II ヘテロ接合の一方の側 (この事例では InP 側) に局在化された電子と、反対側 (この事例では GaAsSb 側) に局在化された正孔との間に生じるバンド間再結合である。この再結合を空間的な間接再結合と呼ぶのは、電子と正孔が古典物理学に基づいて分離される為である。量子物理学によれば、電子及び正孔は完全に局在化されているわけではない。これらはわずかに重なり合う波動関数により表される。従っていくらかの再結合が生じる。これらの作用はいずれも当事者には周知である。

【0009】注入電流密度 $j_{injection}$ は、エミッターベース接合のベース側の注入電子密度を n_{base} 、そしてベースを通る電子の速度を v_{base} とした場合、 $j_{injection} = qn_{base}v_{base}$ で表される。 $j_{injection}/j_{interface} = v_{base}n_{base}/v_{interface}n_{emitter}$ の比は、トランジスタの電流利得の上限を表す。金属接合のいずれかの側の電子密度比により界面再結合速度が $\exp(q\Delta E_c/kT)$ で有効に乗算され、電流利得に直接的な影響を及ぼすことになる。

【0010】GaAsSb ベース及び InP エミッタを含む HBT の第二の欠点とは、電流が、電流利得の圧縮が生じるに値にまで低下するという点である。代表的な HBT においては、エミッターベース容量を低減する為にエミッタに比較的低濃度の N_d が添加される。例えば、エミッタに $4-8 \times 10^{17} \text{ cm}^{-3}$ の不純物添加を行った場合、ベースへの注入電子密度に $N_d \exp(-q\Delta E_c/kT)$ の厳格な上限が課せられる。これは図 1 の InP/GaAsSb/InP 型 HBT のエミッターベース接合 68 に、強い順方向バイアスを印加した場合のエネルギーバンド図 (参照番号 51) である図 2 に示されている。このバイアス値に近づくと、エミッタ容量が非常に大きくなり、周波数応答が急激に低下する。純粋な拡散輸送では、ベースを通る電子速度 (v_{base}) は代表的なマイクロ波トランジスタにおいて 10^7 cm/秒 程度である。これにより、電子不連続性がある場合は電流密度 $20 \text{ A/cm}^2 \sim 5 \times 10^4 \text{ A/cm}^2$ において利得圧縮が生じる。実験結果から得られた値はこの範囲の中でも上限値に近いが、それでもエミッタ帯電周波数 $g_m/(2\pi C_e)$ を制限することで装置の性能に深刻な限界が設けられる (ここで g_m はダイ

れた、低濃度のn型不純物を添加したAlInAs層116を含む。AlInAs層116の上にはこれより高い濃度のn型不純物を添加したAlInAs層118が、そしてAlInAs層118上には高濃度のn型不純物を添加したInGaAs層120が形成されている。これらの層118及び120はエミッタ114にオーミック接触を形成するものであり、これによりエミッタ114上に金属接触122を設けることが出来る。サブコレクタ層102、コレクタ層104、ベース層108、中間層110及びエミッタ114は、例えば分子線エピタキシー(MBE)により成長させることが出来るが、方法はこれに限られない。

【0020】上述したように、界面再結合の速度は一部、金属級エミッターベース接合部に存在する準位数 N_{trap} に依存する。簡単な方法で所定のヘテロ接合の準位密度を予測することは出来ないが、これを最少化することは望まれる。従って、GaAsSbベース層108と中間層110により形成されるInP/GaAsSbヘテロ接合は、この材料系により良好な利得を持つHBTを形成することが出来ることから、許容され得る範囲の低い順位密度を持ってしていると見られる。AlInAs/GaAsSb接合でこれを実現することは難しい。従って、InPの中間層110を用いて構成した構造は、InP/GaAsSbエミッターベース構造の低準位密度特性を示しつつ、AlInAs/GaAsSbエミッターベース構造における望ましいバンド構造を持っているかのような挙動をも呈するのである。これは多くのIII-V化合物中の導電電子の量子的性質と軽い実効質量、そして特にInPにおいては、界面準位の局在化性質を利用して実現したものである。この結果得られる構造は、形成が容易で、AlInAs/GaAsSb/InP構造を持つHBTの望ましい電子輸送特性と、InP/GaAsSb/InP構造を持つHBTに等しい、あるいはこれよりも高い電流利得を有するのである。

【0021】図4は、図3に示したHBTのエネルギーバンド150を示すグラフである。InP量子井戸178がAlInAsエミッタ領域162とGaAsSbベース領域164との間に2つのヘテロ接合を形成している。一方のヘテロ接合はInP/GaAsSb界面168に形成され、もう一方はInP/AlInAs界面188に形成されている。InP量子井戸178は、エネルギー不連続量が伝導帯においては 0.07 eV ($\Delta E_c = 0.25 - 0.18$)、価電子帯においては 0.60 eV ($\Delta E_v = 0.76 - 0.16$)の有効なヘテロ接合をGaAsSbベース領域164とAlInAsエミッタ領域162の間に形成しているのである。この有効なヘテロ接合の位置は、価電子帯においてはInP/GaAsSb界面168にあるが、伝導帯においてはAlInAs/InP界面188にある。GaAsSbベ

ース領域164とInPコレクタ領域166との間のGaAsSb/InP界面172に形成されるヘテロ接合は、伝導帯の不連続量 ΔE_c が 0.18 eV 、そして価電子帯の不連続量 ΔE_v が 0.76 eV である。

【0022】先にも述べた通り、AlInAs/GaAsSb型HBTに望ましいこれらの特性は、材料のバンド構造から得られるものである。全般的な規則として、バンド構造はいかなる層が介在してもこれとは無関係であると考えられる。従って、InP中間層110をGaAsSbベース層108とAlInAsエミッタ114との間に設けたとしても、AlInAsエミッタ領域162及びGaAsSbベース領域164間のバンド構造に実質的な影響を与えることはない。しかしながら、図4に示したように、InP中間層110はAlInAsエミッタ領域162とGaAsSb領域164との間の金属級接合においてInP量子井戸178を作る。電子がこの井戸に捕獲された場合、これらの電子は好ましくないエミッタ再結合電流に寄与する傾向がある。しかしながら、本発明の一態様に基づいて電子の量子機械的特性を考慮することにより、電子密度に殆ど影響を与えることがないようにInP量子井戸178を作ることが出来る。以下にも説明するが、要するにInP量子井戸178が電気透過性となるように設計するのである。

【0023】図5はInP量子井戸のサブバンドエネルギーを示すグラフ190である。縦軸はサブバンドエネルギーを eV 単位で表し、横軸は量子井戸幅を nm 単位で表している。トレース192は、一方の側に 0.18 eV の障壁、他方の側に 0.25 eV の障壁がある非対称四角形井戸ポテンシャルにおける最低エネルギー状態の固有エネルギーの計算値を表している。電子は $0.077m_0$ の実効質量(m_0 は自由電子質量)を持っているものと仮定する。これらの値は、図3及び図4に関連して説明した格子が整合するAlInAs及びGaAsSb間に閉じ込められたInP量子井戸としては適切な値である。

【0024】説明の便宜上、ここでは図5に示したエネルギーを「最低サブバンドエネルギー」と呼び、それは1次元(1D)計算結果を表すものである。しかしながら、実世界は3次元(3D)である。従って、図示の1D量子井戸は1次元においては電子を閉じ込めるが、他の2つの次元における移動は自由である。図5のエネルギーを「最低サブバンドエネルギー」 E_{1D} と呼ぶのは、3Dである現実において1Dの量子井戸を明確に説明する為である。このエネルギーは1D固有エネルギーと同じである。

【0025】約 2 nm 未満の厚さを持つ量子井戸(トレース192のうち、部分196に示されるように)においては、電子エネルギーの熱的スミアによって電子総数の過多が無視出来る大きさにまで小さくなる程、最低状態のエネルギーがGaAsSbベースのバンドエネルギ

10はエミッターベース接合に狭幅量子井戸を形成するが、本実施例においては、量子井戸は伝導帯ではなく価電子帯中に形成される。GaAsSbの中間層210の格子定数はInGaAsベース層208及びInPエミッタ214の格子定数に一致している。GaAsSbのような材料を用いることにより、InGaAsベース層208及びInPエミッタ214に格子整合する中間層210を形成することが出来る。かわりに格子不整合材料を使って中間層210を形成することも出来るが、この場合は層厚を十分に薄く設定して仮晶成長させることによりその格子パラメータをInGaAsベース層208及びInPエミッタ214の格子パラメータに一致させる。先にも説明したように、このように薄い中間層を仮晶成長させて「歪ませる」ことにより基板材料の格子定数に整合させることが出来る。

【0032】エミッタ214は、GaAsSbからなる中間層210上に形成された低濃度のn型InP層216を含む。そしてこれよりも高い濃度のn型不純物を添加したInP層218がInP層216上に、そして高濃度のn型InGaAs層220がInP層218上に形成される。これらの2つの層218及び220は、エミッタ214にオーム接触を形成し、これによりエミッタ214上に金属接触222を設けることが可能となる。サブコレクタ層202、コレクタ層204、ベース層208、中間層210及びエミッタ214は、例えば分子線エピタキシー(MBE)によって形成することが出来るが、方法はこれに限られない。

【0033】図7は、図6に示したHBTのエネルギーバンド250のグラフである。GaAsSb量子井戸278はInPエミッタ領域262とInGaAsベース領域264との間に2つのヘテロ接合を形成する。一方のヘテロ接合はInP/GaAsSb界面268に、そしてもう一方のヘテロ接合はGaAsSb/InGaAs界面288に形成される。GaAsSb量子井戸278は、InGaAsベース領域264及びInPエミッタ領域262間に伝導帯におけるエネルギー不連続量が0.23eV ($\Delta E_c = 0.41 - 0.18$)、そして価電子帯におけるエネルギー不連続量が0.34eV ($\Delta E_v = 0.76 - 0.42$)の有効なヘテロ接合を形成している。この有効なヘテロ接合の位置は、価電子帯においてはInP/GaAsSb界面268にあるが、伝導帯においてはGaAsSb/InGaAs界面288にある。この図から明らかなように、図6のInPエミッタ214とInGaAsベース層208との間にGaAsSb中間層210を設けた場合、エミッターベース接合の価電子帯中に非対称量子井戸278が形成されるのである。

【0034】以上は、特にInPコレクタ、AlInAsエミッタ及びGaAsSbベースを含み、エミッタ及びベース間にInP中間層を形成したHBT、そしてI

nPコレクタ、InPエミッタ及びInGaAsベースを含み、エミッタ及びベース間にGaAsSb中間層を形成したHBTに関して説明したものであるが、本発明は、異なるバンド構造(例えば、InP/GaAsSb及びInP/AlInAsから成る)を使って界面の望ましい物理化学的構成を保ちつつ、望ましいバンド構造(例えば、AlInAs及びGaAsSb間のタイプI構成)を維持する構成であると解釈することが出来る。そしてこれは薄いポテンシャル井戸の量子機械的特性を利用することにより実現される。

【0035】当事者には明らかなように、先に説明した本発明の好適な実施の形態には本発明の原理から著しく離れることなく様々な変更や改変を加えることが出来る。例えば、本発明の概念は、npn型HBT及びpn型HBTのいずれにとっても有益なものである。これらの変更及び改変形態は、添付請求項に定義された本発明の範囲に全て含まれるものである。

【0036】本発明を上述の実施形態に即して説明すると、本発明は、コレクタ(104)と、コレクタ(104)上に位置するベース(108)と、そしてベース(108)上に位置するエミッタ(114)とを含むヘテロ接合バイポーラトランジスタ(HBT)(100)であって、エミッタ(114)がベース(108)に接触する中間層(110)を含み、中間層(110)がベース(108)及びエミッタ(114)に対して実質的に電気透過性であり、中間層(110)の格子定数がベース(108)及びエミッタ(114)の格子定数に一致していることを特徴とするヘテロ接合バイポーラトランジスタ(100)を提供する。

【0037】好ましくは、コレクタ(104)がインジウム燐(InP)であり、ベース(108)がガリウム砒素アンチモン(GaAsSb)であり、そしてエミッタ(114)がInPからなる中間層(110)及びアルミニウムインジウム砒素(AlInAs)からなる層(116)を含む。

【0038】好ましくは、InPからなる中間層(110)の厚さが2nm未満である。

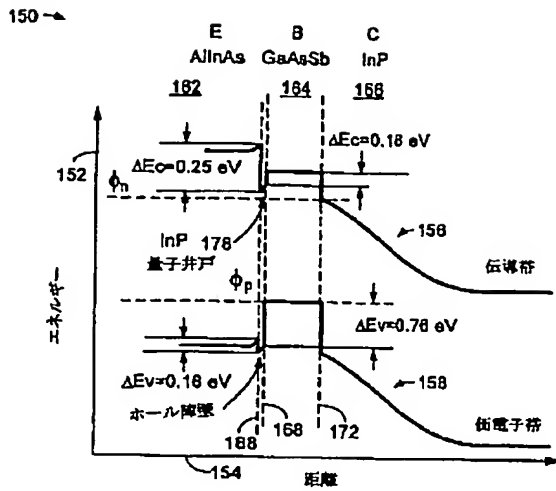
【0039】好ましくは、InPからなる中間層(110)の厚さが1.2nm未満である。

【0040】好ましくは、中間層(110)が仮晶成長させたものである。

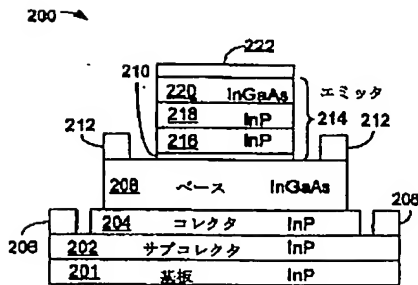
【0041】好ましくは、中間層(110)の材料が、ベースの材料及びエミッタの材料の格子定数に一致するバルク格子定数を持つものである。

【0042】更に、本発明は、ヘテロ接合バイポーラトランジスタ(100)の製造方法であって、コレクタ(104)を形成するステップと、コレクタ(104)上にベース(108)を形成するステップと、そしてベース(108)上にエミッタ(114)を形成するステップとを含み、エミッタ(114)がベース(108)

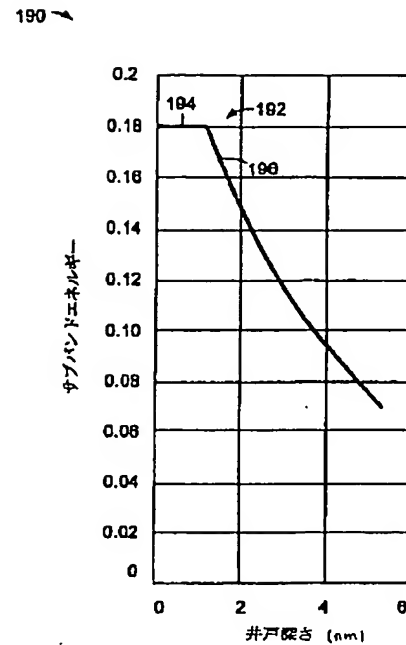
【図 4】



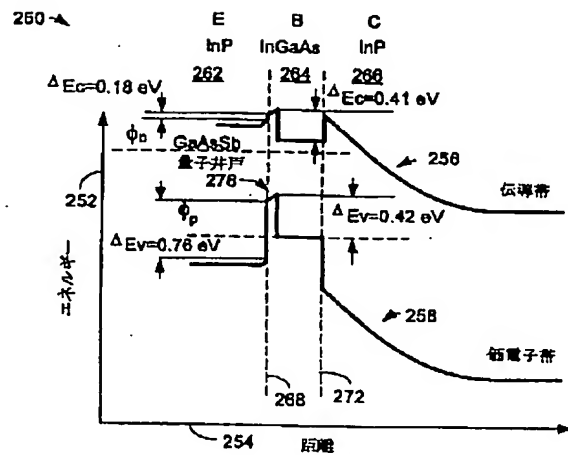
【図 6】



【図 5】



【図 7】



フロントページの続き

(71)出願人 399117121
395 Page Mill Road P
alo Alto, California
U. S. A.

(72)発明者 ユーミン・ハン
アメリカ合衆国カリフォルニア州クパティ
ーノ ローリングデル・コート1128
Fターム(参考) 5F003 BA92 BC08 BE01 BF06 BG06
BM03 BP31